

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08097312 A

(43) Date of publication of application: 12.04.96

(51) Int. Cl

H01L 23/02
H01L 21/60
H01L 23/12
H01L 23/28
H01L 23/50

(21) Application number: 06226416

(71) Applicant: NEC CORP

(22) Date of filing: 21.09.94

(72) Inventor: OTAKE KENICHI
BONSHIHARA MANABU

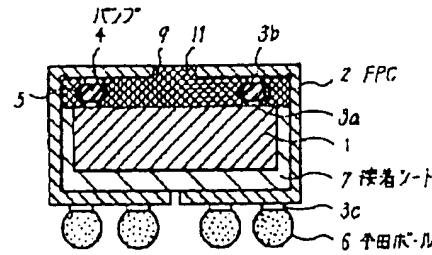
(54) SEMICONDUCTOR PACKAGE AND ITS
MANUFACTURE

(57) Abstract:

PURPOSE: To reduce the mounting area for placing MB of a semiconductor PKG and increase the number of terminals for external connections.

CONSTITUTION: An IC chip 1 is placed on an FPC 2 attached with solder balls 6 through a bump 4. Next, the FPC 2 is folded and bent and adhered to the outer periphery of the IC chip 1 with an adhesive sheet 7, a resin 11 is poured to these gaps and cured to make a semiconductor PKG. Therefore, after sealing with the resin, a frame for stopping the flow of the resin is not necessary, thereby reducing the cost. Warping of PKG after sealing the resin is small and thus defective opening when placing MB can be eliminated. Solder balls 6 can be placed in a form of area on FPC above the lower surface of the IC chip 1 by which the number of terminals can be increased.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-97312

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl.*

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 23/02

B

21/60

3 2 1 E

23/12

23/28

Z 6921-4E

H 01 L 23/12

F

審査請求 有 請求項の数 7 OL (全 7 頁) 最終頁に統く

(21)出願番号

特願平6-226416

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成6年(1994)9月21日

(72)発明者 大竹 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 益子原 学

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

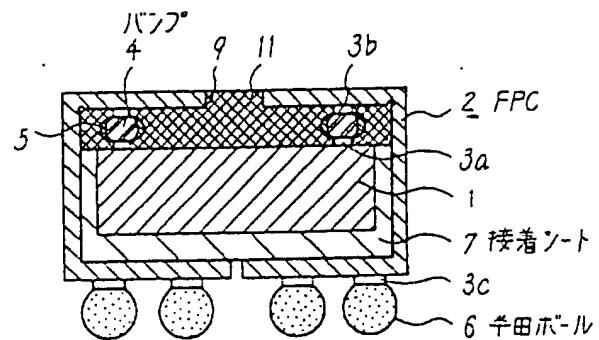
(54)【発明の名称】 半導体パッケージおよびその製造方法

(57)【要約】

【目的】半導体PKGのMB搭載時の実装面積を小さく、かつ外部接続用端子数を多くする。

【構成】半田ボール6が付けられたFPC2にバンプ4を介してICチップ1を搭載する。次にFPC2を折り曲げ、接着シート7でICチップ1の外周に貼り付け、これらの間隙に樹脂11を流し込み、キャアし半導体PKGとする。

【効果】樹脂封止において、樹脂流れ止め用枠が不要で、コストダウンとなる。樹脂封止後のPKG反りが小さく、MB搭載におけるオープン不良を削減できる。半田ボール6をICチップ1の下面上のFPC上にエリア状に設けることが可能であり、端子数を多くすることができる。



【特許請求の範囲】

【請求項1】 上面に複数のチップのパッド(3a)が設けられた半導体チップ(1)と、この半導体チップ(1)の少なくとも上面、1側面及び下面の一部を覆い前記半導体チップの少なくとも下面に接着され前記半導体チップ(1)の稜に沿って折り曲げられ前記半導体チップの上面を覆う部分に前記チップのパッド(3a)に電気的に接続された上面のパッド(3b)が設けられ前記半導体チップ(1)の下面を覆う部分の外側の面に前記上面のパッド(3b)に電気的に接続された下面のパッド(3c)が設けられたフレキシブルプリント板(2)と、前記下面のパッド(3c)上に設けられた下面のバンプ(6)とを含むことを特徴とする半導体パッケージ。

【請求項2】 上面のパッド(3b)がフレキシブルプリント板(2)の内側の面に設けられ、チップのパッド(3a)上に設けられたチップのバンプ(4)が前記上面のパッド(3b)に接続され、半導体チップ(1)の上面と前記フレキシブルプリント板(2)との間隙に封止用樹脂(11)が充填されたことを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 フレキシブルプリント板(2)のチップのパッド(3a)に対応する部分に穴が設けられ、上面のパッド(3b)は前記フレキシブルプリント板(2)の外側の面に設けられ前記チップのパッド(3a)と前記上面のパッド(3b)とがボンディングワイヤ(16)で接続されたことを特徴とする請求項1記載の半導体パッケージ。

【請求項4】 フレキシブルプリント板(2)の半導体チップ(1)の上面を覆う部分の外側の面に外部接続用パッド(3d)が設けられたことを特徴とする請求項2記載の半導体パッケージ。

【請求項5】 フレキシブルプリント板(6)が半導体チップ(1)の外周のほぼ全面を覆うことを特徴とする請求項1ないし4記載の半導体パッケージ。

【請求項6】 半導体チップ(1)の上面にフレキシブルプリント板(2)の対応する部分を位置合わせて載せ、前記半導体チップ(1)の上面に設けられたチップのパッド(3a)上のチップのバンプ(4)を前記フレキシブルプリント板(2)に設けられた上面のパッド(3b)に接続し、前記フレキシブルプリント板(2)を前記半導体チップ(1)の稜に沿って折り曲げて前記フレキシブルプリント板(2)で前記半導体チップ(1)の少くとも1側面を覆い、さらに前記フレキシブルプリント板(2)の前記上面のパッド(3b)に電気的に接続され下面のバンプ(6)を設けた下面のパッド(3c)が配置された部分で前記半導体チップ(1)の下面の少くとも一部分を覆うと共に接着し、前記フレキシブルプリント板(2)に設けられた穴から前記フレキ

間隙に封止用樹脂(11)を流し込んで固化させることを特徴とする半導体パッケージの製造方法。

【請求項7】 半導体チップ(1)の上面にフレキシブルプリント板(2)の対応する部分を位置合わせて載せ、前記フレキシブルプリント板(2)を前記半導体チップ(1)の稜に沿って折り曲げて前記フレキシブルプリント板(2)で前記半導体チップ(1)の少くとも1側面を覆い、さらに前記フレキシブルプリント板(2)の下面のバンプ(6)を設けた下面のパッド(3c)が配置された部分で前記半導体チップ(1)の下面の少くとも一部分を覆うと共に接着し、前記半導体チップ(1)の上面に設けられた前記フレキシブルプリント板(2)に設けられた穴を通して露出したチップのパッド(3a)と前記フレキシブルプリント板(2)に設けられた前記下面のパッド(3c)に電気的に接続された上面のパッド(3b)とをボンディングワイヤ(16)で接続することを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体パッケージ(PKG)およびその製造方法に関する。

【0002】

【従来の技術】 従来の半導体PKGは、図12に示すようにICチップ1を接着用ペースト12により基板17にダイアタッチし、ICチップ1上の電極パッド3aと基板17上のパッド18とにワイヤ16をボンディングして電気的に接続し、基板17の上面の周縁に流れ止め用枠14を固定してからその内側に封止用樹脂11を充填し固化していた。基板17の下面のパッド19にはマザーボード(以下MBと称す)に接続するための半田ホール6が設けられ、パッド18、19がスルーホール13を介して電気的に接続されている(USP5,241,133参照)。

【0003】 図13は、従来の他の半導体PKGの断面図で、ICチップ1を搭載する基板20のICチップ1の真下の部分にピア21が設けられ、ピア21直下のパッド22に半田ホール6が設けられている(USP5,216,278参照)。

【0004】 さらに他の従来の半導体PKGとして特開平4-32253に示されたようなICチップとPKG基板は半田バンプにより接続され、内面をICチップの上面に半田付けし周縁をPKG基板に接着したキャップでICチップの気密封止を行ったものがある。

【0005】 また、USP5,229,916には、図14～図16に示すようにFPC(フレキシブルプリント板)120を折り曲げ、ICチップ1の表面に沿わせた構造の半導体パッケージが開示されている。図14において、ICチップ1の表面、一側面及び裏面に沿ってFPC120が曲げられ、ICチップ1の表面及び一側

板122が接着され、これらの板126, 124, 122にFPC120が接着されている。ICチップ1上のパッド3aはFPC120上のパッド128にワイヤ16で接続され、FPC120の板124の反対側に設けられたバンプ132とパッド128がFPC120上の配線130で接続されている。この半導体PKGは立てた状態でMBに搭載され、バンプ132によりMB上のパッドに接続される。図15の半導体PKGはTAB技術を用いてFPC120上の配線130から延長されたリード133をICチップ上のパッド3aに固着させたものである。図16の半導体PKGはFPC120をバンプ162でICチップ1の表面に接続後、FPC120を折り曲げ反転させてからICチップ1の一側面および裏面の板124, 122に接着させたものである。

【0006】

【発明が解決しようとする課題】図12または図13に示す従来の半導体PKGは、PKG基板17, 20のICチップ1の周辺にパッド18やスルーホール13を設けるPKG基板17, 20の面積がICチップ1より大きく、実装面積が大きくなってしまう欠点がある。また、PKG基板17, 20上に封止用樹脂11を流し込む際に樹脂流れ止め用枠14を設ける必要があり資材費と工数がかかる問題がある。

【0007】さらに、樹脂11を流し込んだ後のキュア時の樹脂効果の際、PKG機番17, 20と樹脂11の収縮の差によりPKG基板に反りが発生し、MB搭載時に複数の半田ボール6が部分的にMBのパッドに不着となり、オープン不良が発生する問題点があった。

【0008】さらに、U.S.P. 5, 229, 916に開示された半導体PKGは、実装面積が小さくて済む。しかし、FPC120のICチップ1の側面の部分に外部接続用の端子であるバンプ132を設けているが、この側面部分の面積が小さいことから外部接続用の端子を多く設けることができない問題点があった。

【0009】

【課題を解決するための手段】本発明の半導体PKGは、上面に複数のチップのパッド(3a)が設けられた半導体チップ(1)と、この半導体チップ(1)の少なくとも上面、1側面及び下面の一部を覆い前記半導体チップの少なくとも下面に接着され前記半導体チップ(1)の稜に沿って折り曲げられ前記半導体チップの上面を覆う部分に前記チップのパッド(3a)に電気的に接続された上面のパッド(3b)が設けられ前記半導体チップ(1)の下面を覆う部分の外側の面上に前記上面のパッド(3b)に電気的に接続された下面のパッド(3c)が設けられたフレキシブルプリント板(2)と、前記下面のパッド(3c)上に設けられた下面のバンプ(6)とを含むことを備えている。

【0010】本発明の半導体PKGは、上面のパッド

設けられ、チップのパッド(3a)上に設けられたチップのバンプ(4)が前記上面のパッド(3b)に接続され、半導体チップ(1)の上面と前記フレキシブルプリント板(2)との間隙に封止用樹脂(11)が充填されたことを特徴とする。

【0011】本発明の半導体PKGは、フレキシブルプリント板(2)のチップのパッド(3a)に対応する部分に穴が設けられ、上面のパッド(3b)は前記フレキシブルプリント板(2)の外側の面に設けられ前記チップのパッド(3a)と前記上面のパッド(3b)とがボンディングワイヤ(16)で接続されたことを特徴とする。

【0012】本発明の半導体PKGは、フレキシブルプリント板の半導体チップの上面を覆う部分の外側の面に外部接続用パッドを設けててもよいし、フレキシブルプリント板が半導体チップの外周のほぼ全面を覆うようにしてもよい。

【0013】本発明の半導体PKGの製造方法は、半導体チップ(1)の上面にフレキシブルプリント板(2)の対応する部分を位置合わせして載せ、前記半導体チップ(1)の上面に設けられたチップのパッド(3a)上のチップのバンプ(4)を前記フレキシブルプリント板(2)に設けられた上面のパッド(3b)に接続し、前記フレキシブルプリント板(2)を前記半導体チップ(1)の稜に沿って折り曲げて前記フレキシブルプリント板(2)で前記半導体チップ(1)の少くとも1側面を覆い、さらに前記フレキシブルプリント板(2)の前記上面のパッド(3b)に電気的に接続され下面のバンプ(6)を設けた下面のパッド(3c)が配置された部分で前記半導体チップ(1)の下面の少くとも一部分を覆うと共に接着し、前記フレキシブルプリント板(2)に設けられた穴から前記フレキシブルプリント板(2)と前記半導体チップ(1)との間隙に封止用樹脂(11)を流し込んで固化させることを特徴とする。

【0014】本発明の半導体PKGの製造方法は、半導体チップ(1)の上面にフレキシブルプリント板(2)の対応する部分を位置合わせして載せ、前記フレキシブルプリント板(2)を前記半導体チップ(1)の稜に沿って折り曲げて前記フレキシブルプリント板(2)で前記半導体チップ(1)の少くとも1側面を覆い、さらに前記フレキシブルプリント板(2)の下面のバンプ(6)を設けた下面のパッド(3c)が配置された部分で前記半導体チップ(1)の下面の少くとも一部分を覆うと共に接着し、前記半導体チップ(1)の上面に設けられた前記フレキシブルプリント板(2)に設けられた穴を通して露出したチップのパッド(3a)と前記フレキシブルプリント板(2)に設けられた前記下面のパッド(3c)に電気的に接続された上面のパッド(3b)とをボンディングワイヤ(16)で接続することを特徴と

【0015】

【実施例】次に本発明について図面を参照して説明する。

【0016】図1および図5はそれぞれ本発明の一実施例の断面図および底面図、図2は図1中のFPC2の展開図である。

【0017】図1に示すようにICチップ1の上面のパッド3aにバンプ4が設けられ、バンプ4の表面は導電性物質5で覆われている。図3に示すようにICチップ1の上面にFPC2の中央部を位置合わせて載せ、両者を押し付け加熱してバンプ4にFPC2のパッド3bを接続し、FPC2を折り曲げてICチップ1の上面、側面および下面をFPC2で覆い、接着シート7で接着する。

【0018】FPC2は、厚さが50μm程度のポリイミドまたはポリエスチル製で、折り曲げる前のFPC2は図2に示すようにICチップ1の上面に対応する中央部の外周の4辺に接続してICチップ1の4つの側面に対応する部分が設けられ、これら部分それぞれに接続してICチップ1の下面を対角線で4分割した三角形の領域に対応する部分が設けられ、折り曲げたFPC2でICチップ1のほぼ全外周面を覆うことができる。FPC2の外側の面の折り目には溝10が予め設けられている。溝10はFPC2の厚さが50μmとすれば幅5～10μmとし、レーザービームでFPC2の表面を溶かして形成するか、FPC2の表面に金型を押し付けて形成する。また、溝10をFPC2の外側および内側の両面に設けてもよい。FPC2の内側の全面（ICチップ1の上面に対応する部分を除く）には予め粘着シート7が付着されている。粘着シート7は後のキュア工程において固まる性質を有している。

【0019】さらにFPC2には、予め内側の面のICチップ1の上面に対応する部分に複数のパッド3bが設けられ、外側の面のICチップ1の下面に対応する部分に複数のパッド3cが設けられ、対応するパッド3b及び3cが配線パターン8及びスルーホール（図示略）により接続され、パッド3c上にMBに接続するための半田ボール6からなるバンプが設けられている。従ってICチップ1をFPC2で覆った半導体PKGの底面にはICチップ1のパッド3aに電気的に接続された半田ボール6が配設されている。

【0020】FPC2に半田ボール6を形成する方法は、パッド3cにSn/Pb共晶クリーム半田ペーストを150μm厚のメタルマスクを用いて塗布し、次に最高温度230℃でリフローを行い、半田を溶融してパッド3cに半田ボール6を形成する。半田ボール6の高さを高くする場合は、Sn/Pb共晶半田ペーストの代わりにSnとPb比が9/1の高温で溶ける半田を用いる。または、Al、Cu等の導電性に優れ、かつ半田耐

一率をパッド3c上に付着させる。この場合は、パッド3cにはあらかじめフラックスを塗布しておき、その粘性を利用してパッド3cに半田メッキボールを付け、加熱、溶融することでFPC2のパッド3c上に半田ボール6を形成する。半田ボール用パッドのサイズはφ0.6～1.5mmであり、かつピッチは1mm、1.27mmおよび1.5mmが標準仕様となっている。半田ボール6のサイズはφ0.6～φ1.5mmであり、MBに半導体PKGを搭載した後は潰れて変形するが、共晶半田メッキしたボールを使用した場合は、半田ペーストにより作成された半田ボールより搭載後の変形が小さい。

【0021】なお、ここでICチップ1のパッド3aに設けるバンプ4の材料について説明する。バンプ4の材料は、Au、Cuまたは半田である。バンプ4を覆う導電性物質5は、Auバンプの場合は、AgペーストもしくはSn/Ag比が96.5/3.5の半田ペースト、またはCuバンプの場合はSn/Pb共晶半田か、もしくは前記のSn/Ag半田を用いる。なお、半田バンプの場合はバンプ4を導電性物質5で覆わない。

【0022】ICチップ1をFPC2で覆った後にFPC2に設けられた穴9からICチップ1の上面とFPC2との間隙にエポキシ系もしくはシリコン系の樹脂11を流し込み、キュアを行う。キュア条件としては、エポキシ系の場合、120℃～150℃で約2時間シリコン系では約120℃で1時間である。

【0023】なお、バンプ4の代わりに図4に示す本発明の他の実施例のようにワイヤ16によりICチップ1とFPC2とを電気的に接続することもできる。この場合はICチップ1のパッド3aに対応する部分に穴を設けたFPC2を用い、ICチップ1の上面とFPC2を接着シート7で接着固定する。また、パッド3bをFPC2の外側の面に設けておき、ICチップ1のパッド3aとFPC2上のパッド3bとにワイヤ16をボンディングする。ワイヤはAu、もしくはAlワイヤを用いる。

【0024】図6は本発明のさらに他の実施例に用いるFPC2の展開図である（バンプ3b、3c等は省略して示してある。図8～図9においても同じ）。このFPC2は図2に示したFPC2のICチップ1の下面を4分割した領域に対応する三角形の部分の頂点の部分を除いた形状で、図7は図6のFPC2を用いた半導体パッケージの底面図であり、底面の中央に四角形のFPC2で覆われない穴が形成されている。この穴に接着剤を入れて半導体PKGとMBの接続強度を向上させることもできる。

【0025】図8は本発明のさらに他の実施例に用いるFPC2の展開図で、このFPC2はICチップ1の上面および対応する2側面に対応する部分ならびにこの2

る三角形の頂点の部分を除いた部分からなる。

【0026】図9は本発明のさらに他の実施例に用いるFPC2の展開図で、このFPC2はICチップ1の上面および隣り合う2側面に対応する部分ならびにこの2側面に接続する下面の対角線で分割された領域に対応する三角形の頂点の部分を除いた部分からなる。

【0027】図10は本発明のさらに他の実施例に用いるFPC2の展開図で、このFPC2はICチップ1の上面、1側面および下面に対応する部分からなる。このように図2に示したFPC2の一部分を除去することにより半導体PKG製造のための工数および資材費を削減できる。

【0028】図11は本発明のさらに他の実施例のMB15に実装した状態を示す断面図である。本実施例ではFPC2の上面の外側の面にもパッド3dを設け、パッド3d上にバンプ4を形成している。パッド3bは対応するパッド3cまたはパッド3dにFPC2上の配線及びスルーホールにより接続されている。MB15に設けられたパッド3fにパッド3c上のバンプ6を溶融接続することによりICチップ1を内蔵する半導体PKGをMB15に搭載する。この半導体PKGを覆うようにFPC23を設け、FPC23に設けたパッド3eをパッド3d上のバンプ6に溶融接続し、MB15に設けたパッド3g上のバンプ6をFPC23に設けたパッド3hに溶融接続する。パッド3eは対応するパッド3hにFPC23の配線により接続されている。本実施例ではパッド3cのほかにパッド3dを設けることにより、図1の実施例よりもさらに多くの外部接続用の端子を設けることができる。なお、FPC23ならびにパッド3dおよび3g上のバンプ6を設げずに、パッド3dとパッド3gとをボンディングワイヤで接続することも可能である。

【0029】

【発明の効果】以上説明したように本発明は、半導体チップに電気的に接続されたFPCを折り曲げ半導体チップの外周に貼り付けることにより、半導体チップとほとんど同じ大きさとなっており、半導体チップを基板に搭載して樹脂封止したものやキャップで封止したものよりMB等への搭載時において実装面積が小さくなる効果を有する。

【0030】また、外部との接続用の端子である下面のバンプを半導体パッケージの下面に線状でなく面状の範囲に配置でき、USP5, 229, 916に開示されたものより多くの外部接続用端子を設けることができる。

【0031】また、樹脂封止する場合でも、樹脂の流れ止め用枠を用いる必要がないため資材費と工数を削減でき、半導体PKGの製造コストを低くすることができる。

【0032】さらに、厚さに対する縦横の長さが小さい

が小さくなり、MB等への搭載時におけるMB上のパッド等のオープン不良を削減できる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体PKGの断面図である。

【図2】図1中のFPC2の展開図である。

【図3】図1に示す実施例の製造方法を示すためのICチップ1の上面にFPC2を取り付けた状態の断面図である。

【図4】本発明の他の実施例の半導体PKGの断面図である。

【図5】図1に示す実施例の底面図である。

【図6】本発明のさらに他の実施例の半導体PKGに用いられるFPC2の展開図である。

【図7】図6に示すFPC2を用いた半導体PKGの底面図である。

【図8】本発明のさらに他の実施例の半導体PKGに用いられるFPC2の展開図である。

【図9】本発明のさらに他の実施例の半導体PKGに用いられるFPC2の展開図である。

【図10】本発明のさらに他の実施例の半導体PKGに用いられるFPC2の展開図である。

【図11】本発明のさらに他の実施例の半導体PKGをMB15に取り付けた状態の断面図である。

【図12】従来の半導体PKGの部分断面図である。

【図13】従来の他の半導体PKGの部分断面図である。

【図14】従来のさらに他の半導体PKGの断面図である。

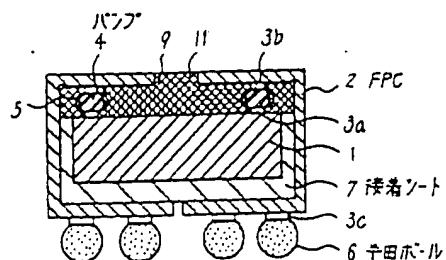
【図15】従来のさらに他の半導体PKGの断面図である。

【図16】従来のさらに他の半導体PKGの断面図である。

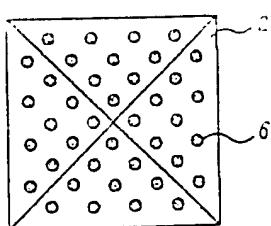
【符号の説明】

- 1 ICチップ
- 2 FPC
- 3a～3h パッド
- 4 バンプ
- 5 導電性物質
- 6 半田ボール
- 7 接着シート
- 8 パターン
- 9 樹脂封止用穴
- 10 折り曲げ用溝
- 11 封止用樹脂
- 12 接着用ペースト
- 13 スルーホール
- 14 流れ止め用枠
- 15 MB

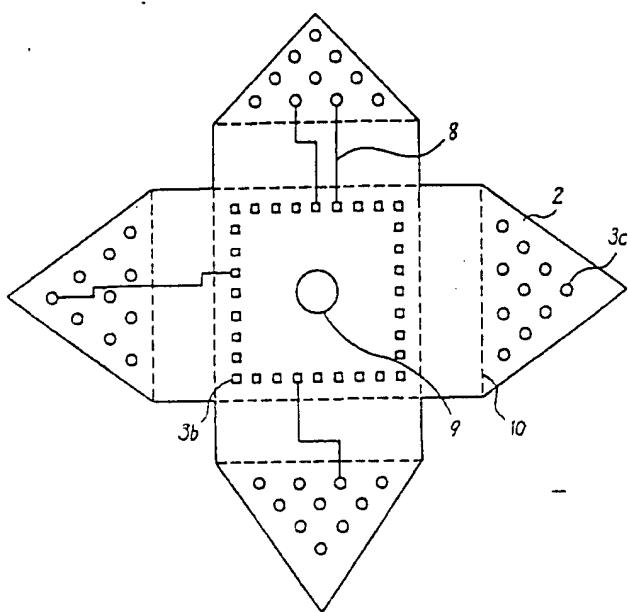
【図1】



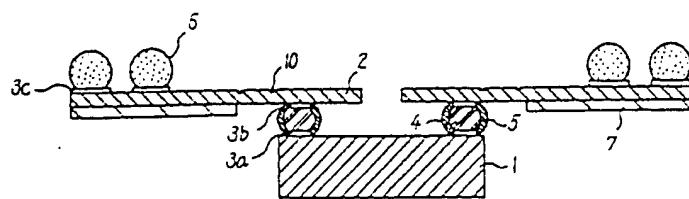
【図5】



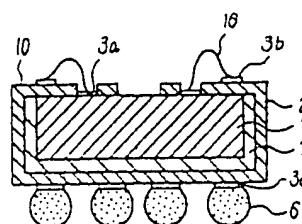
【図2】



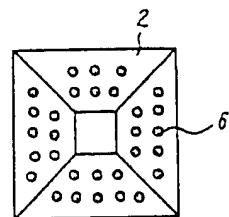
【図3】



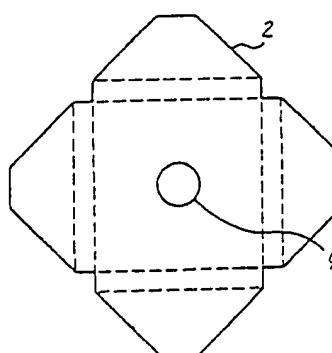
【図4】



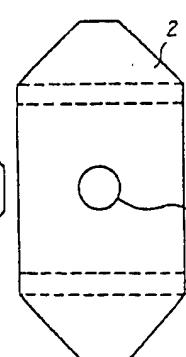
【図7】



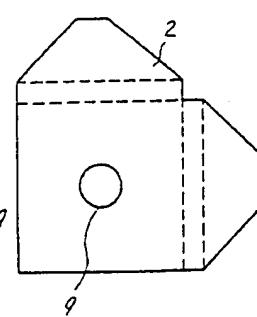
【図6】



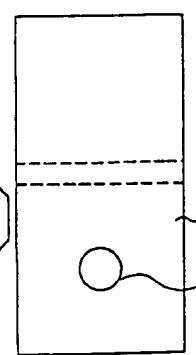
【図8】



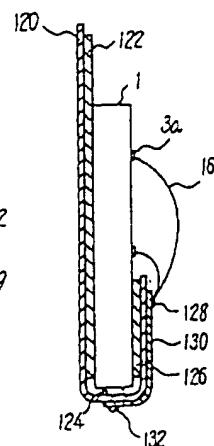
【図9】



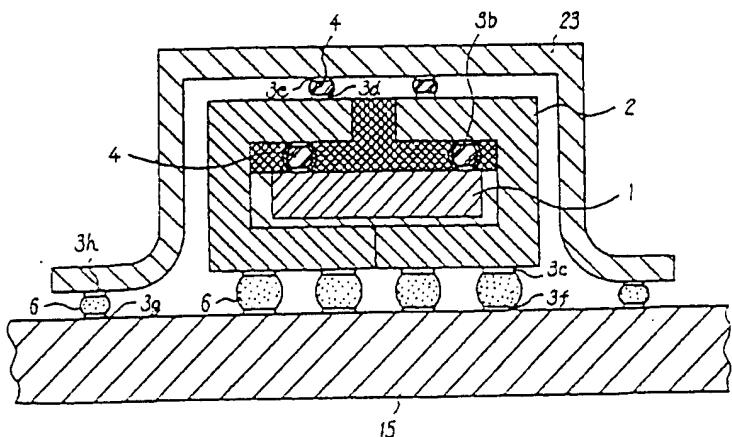
【図10】



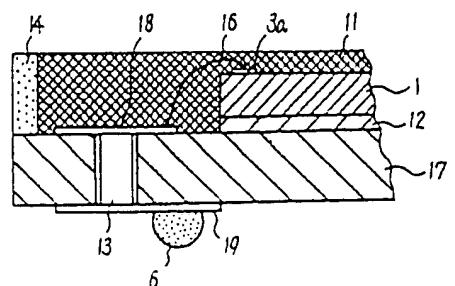
【図14】



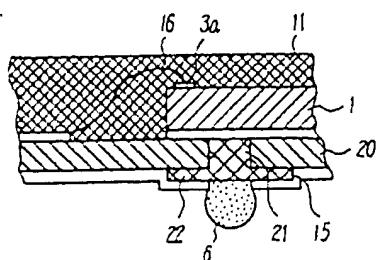
【図11】



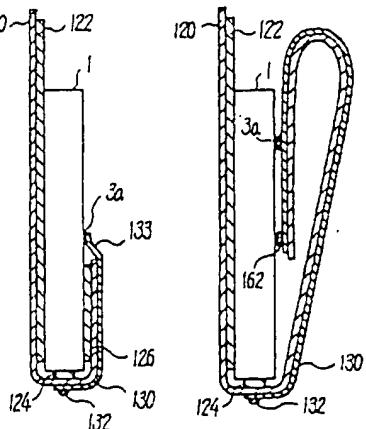
【図12】



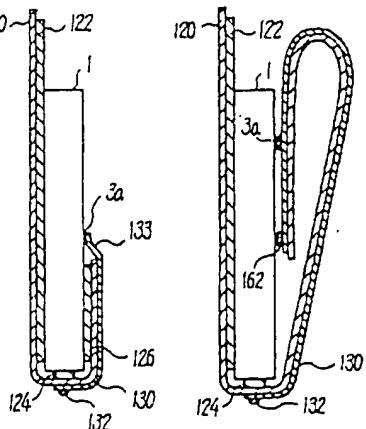
【図13】



【図15】



【図16】



フロントページの続き

(51) Int. Cl. 6

H 01 L 23/50

識別記号

府内整理番号

F I

技術表示箇所

R